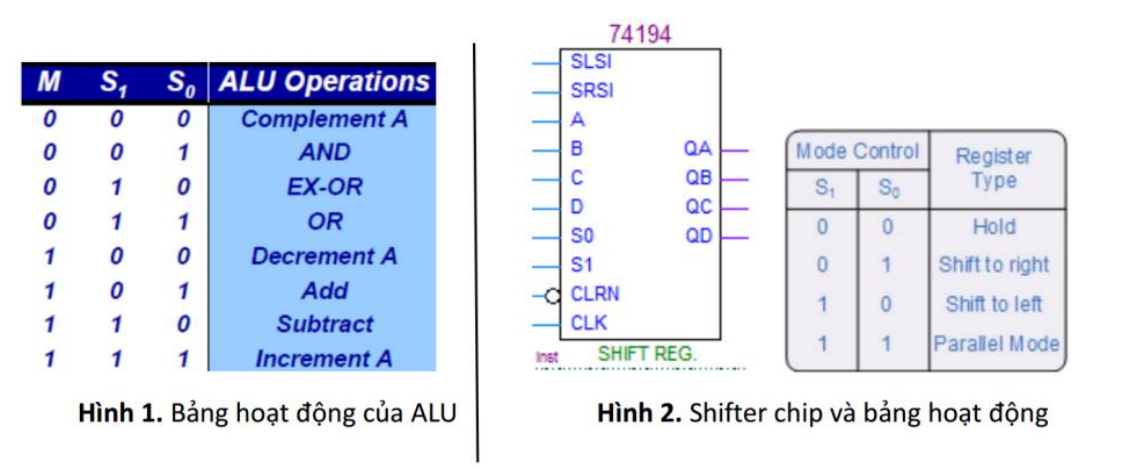
**LAB 4: THIẾT KẾ DATAPATH ĐƠN GIẢN**

**4.1 Mục tiêu**

Sinh viên sẽ thực hiện thiết kế một DATAPATH đơn giản để thực hiện phép toán cộng, trừ, tăng giá trị 1 đơn vị và or (với các toán hạn là input được nhập từ ngõ vào) trên Quartus II.

**4.2 Nội dung thực hành**

Sinh viên dựa vào yêu cầu của bài thực hành và các lý thuyết đã học để xác định các thành phần của DATAPATH. Sau đó, sử dụng lại ALU 4-bit đã thiết kế trong bài Lab 3 và bộ Shifter (sử dụng chip 74194 trong Quartus II) như Hình 4-1 và các phần phần cần thiết khác để thiết kế DATAPATH theo yêu cầu.



* 1. **Sinh viên chuẩn bị**
* Viết giải thuật với mã giả để thực hiện yêu cầu bài Lab

Giải thuật:

N

S=0

N=0

S=S+N, N=N-1

S

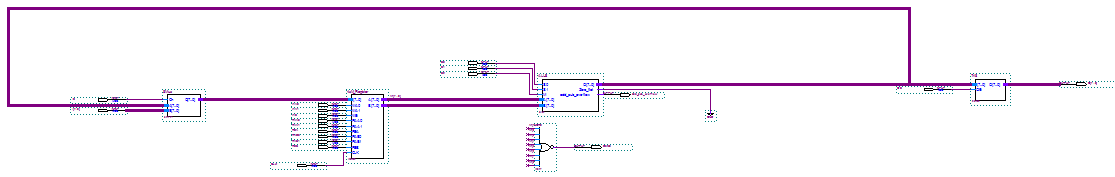
S

Đ

Mã giả:

|  |
| --- |
| 1.Data := Import  2.Sum := 0  while Data ≠ 0 repeat  3.Sum := Sum + Data  4.Data := Data - 1  end while  5. Outport := Sum |

* Xác định các thành phần cần thiết của DATAPATH
  + Selector cho Input
  + Bộ thanh ghi
  + Bộ ALU
  + Cổng cho phép xuất giá trị Output
* Vẽ mạch DATAPATH hoàn chỉnh



* 1. **Bài tập ôn tập**

Nếu thêm lệnh so sánh 2 số thì DATAPATH cần được thiết kế thêm những gì? Thiết kế lại DATAPATH thực hiện thêm lệnh so sánh 2 số.

Trả lời: Nếu thêm lệnh so sánh 2 số thì ta chỉ cần thiết kế thêm 1 mạch tổ hợp để cho biết lớn, bé, bằng. Mạch tổ hợp này có Input là chân Flag\_zero và chân output bậc cao nhất của khối ALU khi khối ALU đang dùng phép trừ A-B.

**LAB 5: THIẾT KẾ SIMPLE CONTROL UNIT**

**5.1 Mục tiêu**

Sinh viên sẽ thực hiện thiết kế một Control Unit đơn giản để thực hiện phép toán phép toán cộng, trừ, tăng giá trị 1 đơn vị và or (với các toán hạng là input được nhập từ ngõ vào) trên Quartus II.

**5.2 Nội dung thực hành**

Dựa vào simple DATAPATH đã được thiết kế trong Lab 4 và các lý thuyết liên quan, sinh viên sẽ tiến hành thiết kế Control Unit phù hợp với yêu cầu của bài Lab bằng mạch Schematic.

**5.3 Sinh viên chuẩn bị**

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| Control word | IE | Write address | Read address A | Read address B | ALU operation | Shifter operation | OE |
| 1 | 1 | R1 | X | X | X | X | 0 |
| 2 | 0 | R2 | 0 | 0 | Add | Pass | 0 |
| 3 | 0 | R2 | R2 | R1 | Add | Pass | 0 |
| 4 | 0 | R1 | R1 | X | Decrement | Pass | 0 |
| 5 | 0 | None | R2 | 0 | Add | Pass | 1 |

- Lập bảng Control Word cho DATAPATH

|  |  |
| --- | --- |
| R1 | Data |
| R2 | Sum |

- Xác định lưu đồ chuyển trạng thái của Control Unit

Start = 0

Start = 1

Data = Input

Sum = 0

Sum = Sum + Data

Data = Data -1

Data ≠ 0

Data = 0

Outport = Sum

Done = 1

Data = 0

- Xây dựng bảng chuyển trạng thái sử dụng FF-D

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| State | Q2Q1Q0 | Start, (Data = 0) | | | |
| 00 | 01 | 10 | 11 |
| S0 | 000 | 000 | 000 | 001 | 001 |
| S1 | 001 | 010 | 010 | 010 | 010 |
| S2 | 010 | 011 | 011 | 011 | 011 |
| S3 | 011 | 100 | 101 | 100 | 101 |
| S4 | 100 | 011 | 101 | 011 | 101 |
| S5 | 101 | 000 | 000 | 000 | 000 |
| S6 | 110 | 000 | 000 | 000 | 000 |
| S7 | 111 | 000 | 000 | 000 | 000 |

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Q1Q0  Start,(Data = 0) | Q2=0 | | | | Q2=1 | | | |
| 00 | 01 | 11 | 10 | 00 | 01 | 11 | 10 |
| 00 | 000 | 010 | 100 | 011 | 011 | 000 | 000 | 000 |
| 01 | 000 | 010 | 101 | 011 | 101 | 000 | 000 | 000 |
| 11 | 001 | 010 | 101 | 011 | 101 | 000 | 000 | 000 |
| 10 | 001 | 010 | 100 | 011 | 011 | 000 | 000 | 000 |

- Lập bảng các giá trị ngõ ra của Control Unit để thực hiện giải thuật trên

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| State | Q2Q1Q0 | IE | Write data | | | Read A | | | Read B | | | ALU | Shift | OE |
|  |  | WE |  |  | REA |  |  | REB | S2S1S0 | Sh1Sh0 |
| S0 | 000 | 0 | X | X | 0 | X | X | 0 | X | X | 0 | XXX | 00 | 0 |
| S1 | 001 | 1 | 0 | 1 | 1 | X | X | 0 | X | X | 0 | XXX | 00 | 0 |
| S2 | 010 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 101 | 11 | 0 |
| S3 | 011 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 101 | 11 | 0 |
| S4 | 100 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | X | X | 0 | 100 | 11 | 0 |
| S5 | 101 | 0 | X | X | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 101 | 11 | 1 |
| S6 | 110 | 0 | X | X | 0 | X | X | 0 | X | X | 0 | XXX | 00 | 0 |
| S7 | 111 | 0 | X | X | 0 | X | X | 0 | X | X | 0 | XXX | 00 | 0 |

IE =

W

W

WE =

RA

RA

REA =

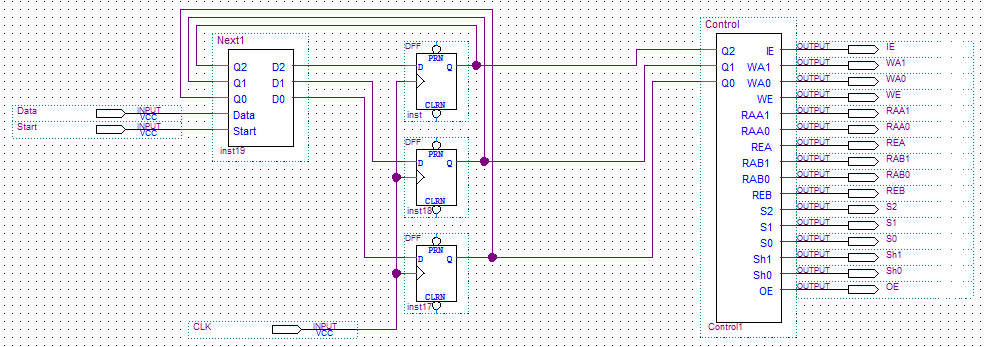
RA

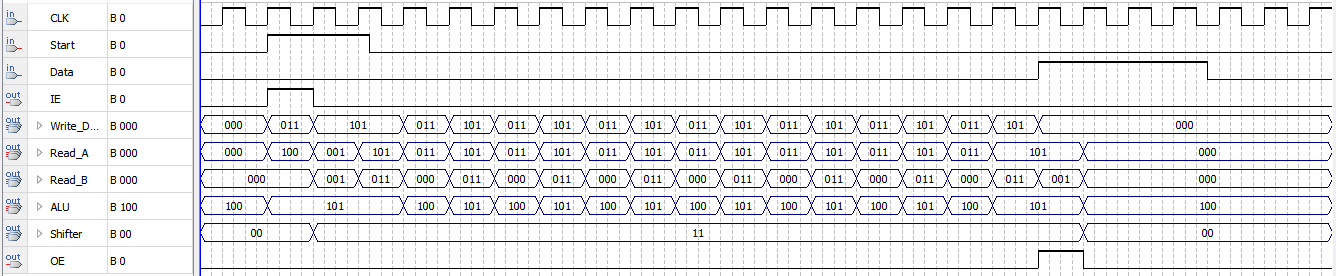
RA

REB =

OE =

* Schematic



* Mô phỏng

**LAB 6: THIẾT KẾ SIMPLE PROCESSOR**

**6.1 Mục tiêu**

Sinh viên sẽ thực hiện thiết kế một Processor đơn giản để thực hiện phép toán phép toán cộng, trừ, tăng giá trị 1 đơn vị và or (với các toán hạn là input được nhập từ ngõ vào) bằng Schematic trên Quartus II.

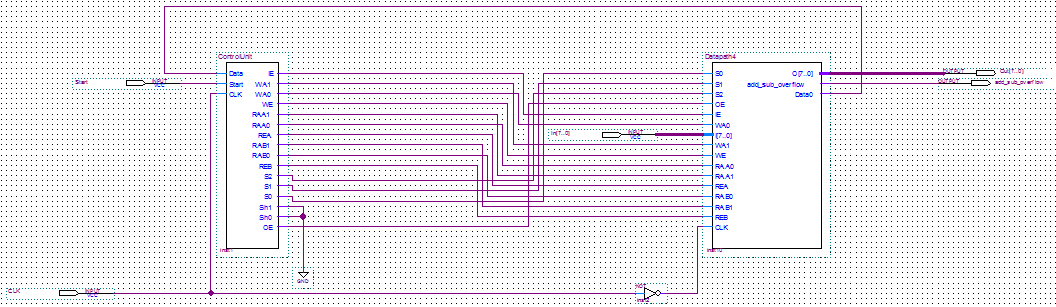
**6.2 Nội dung thực hành**

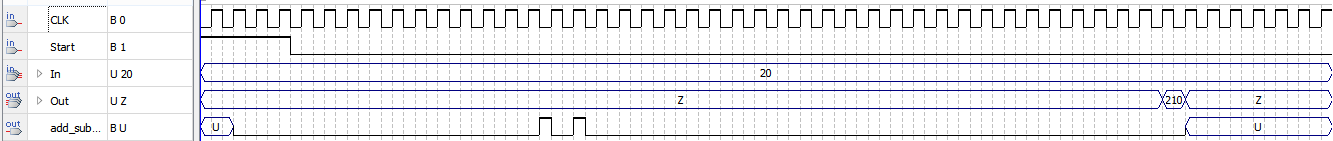
Thiết kế một Processor đơn giản để thực hiện phép toán phép toán

S = 1 + 2 + … + n với n là giá trị vào Input

bằng cách sử dụng DATAPATH trong Lab 4, Control Unit trong Lab5 và kết hợp với một số cổng logic khác.

**6.3 Sinh viên chuẩn bị**

- Mạch kết nối hoàn chỉnh của simple Processor từ simple DATAPATH (lab 4) và simple Control Unit (lab 5).

- Mô Phỏng